# 计组—第五章 存储体系

* 存储器芯片的存储容量 = 存储单元个数 \* 每存储单元的位数

SRAM

RAM

DRAM

* + - * 主存储器

ROM

* 存储器

刷新：按行来执行内部的读操作

刷新周期：按上一次刷新结束到下一次刷新整个DRAM为止

刷新行数：单个芯片的单个矩阵的行数

对于内部包含有多个存储矩阵的芯片，各个矩阵的同一行是被同时刷新的。

对于多个芯片连接构成的DRAM，DRAM控制器将选中的所有芯片的同一行来进行逐行刷新。

单位刷新间隔时间：DRAM允许的最大信息保持时间，一般为2ms

集中式刷新

刷新方式： 分散式刷新

异步式刷新

* **例：64K×1位DRAM芯片中，存储电路由4个独立的128×128的存储矩阵组成。设存储器存储周期为500ns，单元刷新间隔是2ms。**

**集中式刷新**

在2ms的刷新间隔时间内，集中对128行刷新一遍的时间：

128 \* 500ns = 64us

在内部刷新时间（64us）内存不允许访问，这段时间被称为死时间。

**分散式刷新**

在任何一个存储周期内，分为访存和刷新两个子周期

访存周期：供cpu和其他设备访问

刷新周期：对DRAM的某一行进行刷新

存储周期为存储器周期的两倍：500us \* 2 = 1us

刷新周期： 128 \* 1us = 128us

在2ms的刷新间隔时间内，对DRAM刷新：2ms / 128us 遍

**异步式刷新：**

在2ms内分散地把128行刷新一遍，避免分散式的不必要刷新，解决了集中式的死时间

刷新信号的周期：2ms / 128 = 15.625us

让刷新电路没隔15us产生一个刷新信号，刷新一行

* **储存器容量扩展：位扩展，字扩展，字位扩展**。
* **多体交叉存储器**

**顺序存储器t2=nT**

**交叉存储器t1=T+(n-1) τ**

T：存储体存储周期

t：总线传送周期

n：存储体的个数

* **为了实现流水方式存取，应当满足：**
* **M>=T/t**
* **T/t称作交叉存取度**

带宽：w = q / t （单位：位/s）

q：信息总量

t：读取M个字所需要的时间

* **设存储器容量为32字，字长64位，模块数m=4，分别用顺序方式和交叉方式进行组织。存储周期T=200ns，数据总线宽度为64位，总线传送周期τ=50ns。问顺序存储器和交叉存储器连续读出4或32个字所需的时间?带宽？**
* **【解】 顺序存储器和交叉存储器连续读出4个字所需的时间分别是：**
* **t2=mT=4×200ns=800ns=8×10-7s;**
* **t1=T+(m-1) τ=200ns+150ns=350ns=35×10-7s**
* **顺序存储器和交叉存储器连续读出m=4个字的信息总量都是：q=64位×4=256位**
* **顺序存储器和交叉存储器的带宽分别是：**
* **W2=q/t2=256÷(8×10-7)=32×107［位/s］;**
* **W1=q/t1=256÷(35×10-7)=73×107［位/s］**
* Cache的读写操作

CPU在读写存储器时，Cache控制逻辑首先要依据地址来判断这个字是否在Cache中，若在Cache中，则称为“命中”；若不在，则称为“不命中”。

* + **读命中：立即从Cache读出送给CPU；**
  + **读不命中：通常有两种解决方法：**
    - **A）将主存中该字所在的数据块复制到Cache中，然后再把这个字传送给CPU；**
    - **B）把此字从主存读出送到CPU，同时，把包含这个字的数据块从主存中读出送到Cache中。**

命中率：cpu在访问主存时，命中cache的次数占全部访问次数的比例

失效率：cpu在访问主存时，不命中cache的次数占全部访问次数的比例

h = Nc / （Nc + Nm）

h：命中率

Nc：命中cache次数

Nm：不命中cache的次数

不命中的两种方式的平均访问时间：

ta = h\*tc + (1-h)\*(tc + tm);

ta = h\*tc + (1-h)\*tm;

ta：平均访问时间

tc：访问cache时间

tm：访问主存时间

* Cache/主存系统的访问效率e:

e = tc / ta

* **主存与cache的地址映射方法**

**直接映射**

Cache的第i块和主存的第j块存在下面关系：

i = j mod m

m：cache的总块数

**全相联映射**

**组相联映射（掌握）**

有一个cache－主存存储层次，采用组相联映像。主存共分4096个存储块，Cache为64个存储块，每组包含4个存储块，每块由128个字节组成，访存地址为字节地址。

1． 写出Cache地址位数和地址格式；

2． 写出主存地址位数和地址格式；

3． 画出主存－cache空间块的组相联映像对应关系示意图；

4． 主存地址48AB9H映像到Cache的哪个字块？

* **虚拟存储器**

虚拟存储器可使主存的容量像辅存（磁盘）一样大

虚拟存储器中程序可以像访问主存一样访问外存

根据CPU程序指令生成的地址:虚拟地址/逻辑地址

虚拟存储器需要地址转换，将CPU的虚拟地址（范围不受限制）变为主存的物理地址及辅存物理地址/实际地址

存储器管理单元:硬件提供快速的地址映像

存储器管理软件:操作系统的一部分

虚拟存储器的管理方式主要有段式、页式、段页式三种

重点：页式表

# 第六章 指令系统

* 指令格式

指令格式 = 操作码字段 + 操作数地址字段

**操作码**

操作码是指明指令操作性质的命令码。它提供指令操作的控制信息。

1. 每条指令要求它的操作码都是独一无二的位组合
2. 指令系统中指令的个数N与操作码的位数n必须满足：  
   N <= 2^n

**操作数地址码**

1. 地址码：用来描述该指令的操作对象
2. 指令字长 = 操作码的位数 + 操作数的地址位数 \* 操作数的地址码位数
3. 零地址操作指令
   1. 无需任何操作数
   2. 所需的操作数时默认的，如 堆栈
4. 一地址操作指令
   1. 一地址操作指令常被称为单操作数指令
      1. OP （A）-> A
      2. (AC) OP -> AC

2) 指令中给出的一个地址即是操作数地址，又是操作数结果的存储地址。如 加一， 减一， 移位等单操作数指令

1. 二地址操作指令（双操作数指令）

（A1）OP (A2) -> A1

1. 三地址操作指令

(A1) OP (A2) -> A3

* 指令字长度

单字长指令：L = 1N

半字长指令：L = 0.5N

双字长指令：L = 2N

N：机器字长度

* 寻址方式

1. 指令寻址
2. 数据寻址
3. 立即寻址
4. 直接寻址
5. 间接寻址
6. 寄存器寻址方式
7. 寄存器间接寻址方式
8. 变址寻址
9. 基址寻址
10. 基址变址寻址
11. 相对寻址
12. 堆栈寻址

* 指令类型

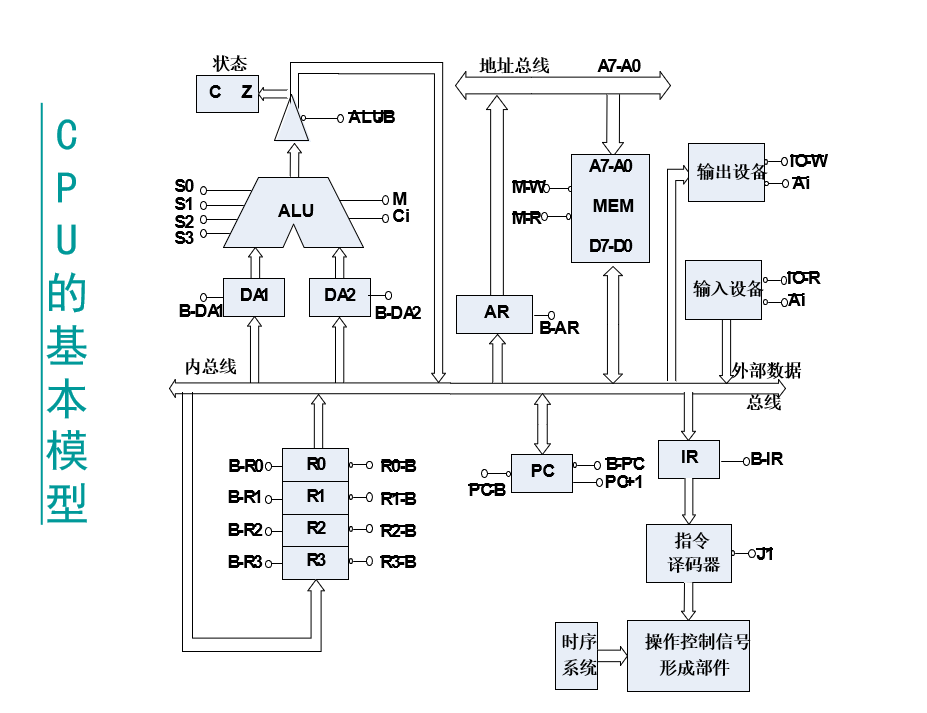
1. 数据传送指令
2. 算术逻辑运算指令
3. 移位操作指令
4. 程序控制类指令
5. 堆栈操作指令
6. 输入输出指令
7. 处理器控制指令
8. 特权指令

# 计组 第七章 控制器

* 计算机的基本组成与功能
* 控制器的组成

控制器：完成对整个计算机系统操作的协调和指挥

* 1. 控制机器从内存中取出一条指令，并指出下一条指令在内存中的存放位置
  2. 对指令进行译码，并产生相应的操作控制信号，送往相应的部件，启动规定的动作
  3. 指挥并控制CPU、内存与输入/输出（i/o）设备之间数据的流动的方向



1. 数据缓冲寄存器（DA）

暂时存放由内存读出的数据字或指令；暂时存放ALU的运行结果；外部接口的一个数据字

1. 指令寄存器（IR）

保存当前正在执行的一条指令

1. 程序计数器（PC）

确定下一条指令的地址

1. 地址寄存器（AR）

保存当前CPU所访问的数据cache单元的地址

1. 通用寄存器（R0 – R3）

存放操作数

1. 状态条件寄存器（PSW）

保存由算术和逻辑指令的结果建立的各种条件码

1. 操作控制信号形成部件

采用硬布线设计的操作控制信号形成部件

采用微程序设计的操作控制信号形成部件

1. 时序信号产生器

时序信号产生器负责提供时钟信号和机器周期信号，以规定每个操作的时间。

时序信号产生器包括启停线路，负责控制时钟脉冲的送出与封锁，从而实现计算机的启动与停止

* 时序系统

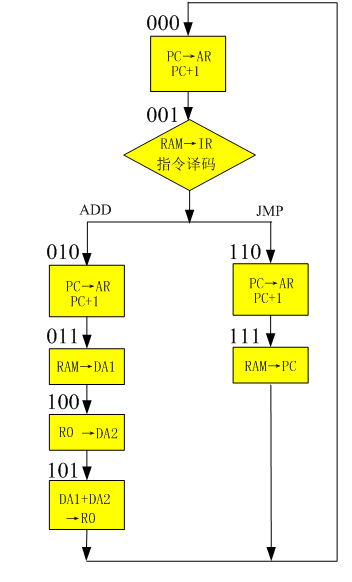
指令周期：CPU取指令到执行完指令的时间总和

CPU周期：又称机器周期（总线周期），用CPU从内存存读取一条指令字的所需的最短时间来定义，即CPU从内存取出一条指令所需的最短时间

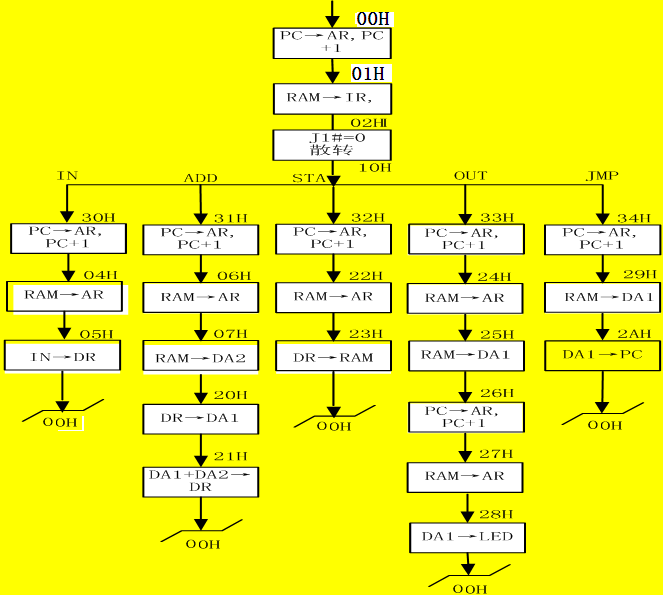
时钟周期：通常称为节拍脉冲或T周期。一个CPU周期包含若干个时钟周期T

* **相互关系：**
* **1个指令周期 = 若干个CPU周期**
* **1个CPU周期 = 若干T周期**
* 指令执行过程

1. 取指令
   * + 1. 控制器先将第一条指令的地址置入pc
       2. pc将当前指令的地址送入地址寄存器AR，同时程序计数器pc的内容递增以指向下一条指令的地址
       3. AR的输出通过地址总线送到存储器的地址端，指明指令所在的地址单元，控制器发出读控制信号，控制从存储器中读出这条指令
       4. 该指令通过数据总线送到指令寄存器IR
       5. 指令取到指令寄存器IR后，指令译码器对其译码
       6. 指令译码器将译码结果传递给操作控制信号形成部件，至此，取指令的过程完成



* 微程序控制器



### 概论

* 吞吐量：表示计算机在某一时间内能够处理的信息量
* 响应时间：表示从输入有效到系统产生响应之间的时间度量
* 利用率：在给定的时间内，系统被实际使用的时间的占比率，一般用百分比表示
* 处理机字长：指处理机运算器一次能够完成二进制数运算的位数，一般有8位，16位，32位和64位
* 总线宽度：一般指CPU运算器与存储器之间进行互联的内部总线的二进制位数
* 存储器总量：存储器中所有单元的总数目，通常用KB，MB，GB来表示

存储容量 = 存储单元数目 \* 存储字长

* 存储器带宽：存储器的速度指标，单位时间内从存储器中读出的二进制数信息量，一般用字节/秒 表示
* 主频/时钟周期：CPU的工作节拍受主时钟控制，主时钟不断产生固定频率的时钟。主时钟的频率（f）称为CPU的主频。度量为MHz
* 主频的倒数称为CPU时钟周期（T）
* CPU执行时间：表示CPU执行一段程序所占用的CPU时间：

CPU执行时间 = CPU时钟周期数 \* CPU时钟周期长

* CPI：表示每条指令的周期数，即执行一条指令所需的平均时钟周期数：

CPI = 执行某段程序所需要的CPU时钟周期数 / 该程序所包含的指令数

MIPS：表示每秒百万条指令数：

MIPS　＝　指令条数　／　（程序执行时间　＊　10^6） = 时钟频率 / （CPI \* 10^6）

* 
* 总线：

计算机系统通过总线（bus）将CPU，主存储器及I/O设备连接起来的

1. 数据总线：主要传送数据，双向，可输入输出
2. 地址总线：传送地址信息，单向，决定数据或命令传送给谁
3. 控制总线：传送各种控制信号

* 计算机系统的层次结构

计算机系统可以分为硬件逻辑层、微程序控制和PLA控制层、指令系统层、操作系统层、高级程序编译和解释程序层、各种应用程序层、应用算法与数字逻辑层



### 逻辑运算与逻辑函数

* 逻辑运算

画逻辑图——>写逻辑表达式——>化简

* 组合逻辑电路

38译码器

* 时序逻辑电路

D触发器：Q^n+1 = D

Jk出触发器：

3位二进制同步加法运算器（减法顺序相反）



74ls161



1. CR# = 0时 异步清零
2. CR# = 1,LD# = 0时同步置数
3. CR = LD = 1， CTT = CTP = 1时，按照4位自然二进制码进行同步二进制计数
4. CR# = LD# = 1且CTT \* CTP = 0时，计数器保持不变

### 信息编码与数据表示

补码

精度

### 运算方法与运算器

* 补码加减运算公式

[X+Y]补 = [x]补 + [Y]补

[X-Y]补 = [X]补 + [-Y]补

* 原码除法



* 浮点数加减法

1. 对0操作数检查：以尽可能的简化操作
2. 对阶：原则是小阶对大阶
   * 求阶差：**ΔE=EX-EY，若ΔE≠0，即EX≠EY时需要对阶。**
   * **若ΔE>0，则EX>EY，MY每右移一位，EY+1，直至 EY=EX 。**
   * **若ΔE<0，则EX<EY，MX每右移一位，EX+1，直至EX=EY 。**
3. 尾数相加减
4. 结果规格化：尾数运算的结果可能出现两种非规格化情况：
   1. **A、尾数溢出：需要右规（1次），即尾数右移1位，阶码＋1**
   2. **B、|尾数| <2-1：需要左规，即尾数左移1位，阶码－1，左规可能多次，直到尾数变为规格化形式。**
5. 舍入：可采用截断法、0舍1入法、末位恒置1